

KOREAN PATENT ABSTRACT (KR)

PUBLICATION

(51) IPC Code: H01L 21/8242

(11) Publication No.: P2000-0028824

(43) Publication Date: 25 May 2000

(21) Application No.: 10-1999-0042723

(22) Application Date: 25 May 2000

(71) Applicant:

Japan Electronics Co., Ltd.

Shiba 5-zome 7-bang 1-go, Minadoku, Tokyo, Japan

(72) Inventor:

Dakaishi Yoshihiro

(54) Title of the Invention:

Method of manufacturing semiconductor memory device capable of improving isolation characteristics

Abstract:

The present invention relates to a method of manufacturing a semiconductor memory device. First impurity-diffused regions (8), which are to be used for bitlines, and second impurity-diffused areas (8), which are to be used for capacitors, are formed on a semiconductor substrate (1), and an insulation layer (9) is formed on the first and second impurity-diffused regions (8). Thereafter, a plurality of openings (OP) are formed in the insulation layer (9), and each of the openings corresponds to at least one of the first impurity-diffused regions and at least two of the second impurity-diffused regions.

출력 일자: 2003/6/20

발송번호 : 9-5-2003-022878152

수신 : 서울 서초구 서초3동 1571-18 청화빌딩 2

발송일자 : 2003.06.19

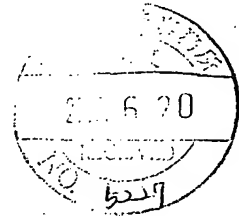
층(리&목특허법률사무소)

제출기일 : 2003.08.19

이영필 귀하

137-874

특허청 의견제출통지서



출원인 명칭 삼성전자주식회사 (출원인코드: 119981042713)

주소 경기도 수원시 팔달구 매탄3동 416번지

대리인 성명 이영필 외 1 명

주소 서울 서초구 서초3동 1571-18 청화빌딩 2층(리&목특허법률사무소)

출원번호 10-2001-0048740

발명의 명칭 자기 정렬 콘택 패드를 구비하는 반도체 소자 및 그 제조방법

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지 하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서[특허법시행규칙 별지 제 25호의2서식] 또는/및 보정서[특허법시행규칙 별지 제5호서식]를 제출하여 주시기 바랍니다.(상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장 승인통지는 하지 않습니다.)

[이유]

이 출원의 아래에 지적한 특허청구범위에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에 서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

[아래]

청구항 제1항, 제2항은 반도체 기판에 지그재그로 배치되며 장축과 단축을 갖는 복수개의 활성 영역을 한정하는 소자분리막, 상기 활성 영역과 교차하며 상기 활성 영역의 단축 방향으로 연장하는 복수개의 게이트, 상기 각 게이트 양측의 활성 영역에 형성된 제1 및 제2 소오스/드레인 영역 및 상기 제1 및 제2 소오스/드레인 영역의 상면에 각각 접하면서 동일한 크기를 갖는 제1 및 제2 자기 정렬 콘택 패드를 포함하는 것을 특징으로 하는 반도체 소자이고 청구항 제11항, 제12항은 이것의 제조방법에 관한 것이지만, 한국공개특허공보제2000-28824호(2000.5.25공개)에는 제1 도전형의 반도체 기판 상에 평면도로 제1 방향을 따라 긴 측면을 갖는 오목형 액티브 영역들을 한정하는 필드 절연층을 형성하는 단계, 상기 필드 절연층이 형성된 후에 상기 반도체 기판 상에 게이트 절연층을 형성하는 단계, 상기 필드 절연층 및 상기 게이트 절연층 상에 상기 제1 방향과 직각을 이루는 제2 방향을 따라 게이트 전극들을 형성하는 단계 -상기 게이트 전극들 중 2개는 상기 반도체 기판의 액티브 영역들 중 하나를 가로지름-, 상기 제1 도전형과 상반되는 제2 도전형의 불순물 이온들을 상기 게이트 전극들과 셀프 얼라인되게 주입하여 상기 반도체 기판의 액티브 영역들 내에 불순물 확산 영역들을 형성하는 단계, 상기 불순물 확산 영역들 상에 절연층을 형성하는 단계, 상기 절연층 내에 복수개의 오목형 개구를 천공하는 단계 -상기 오목형 개구들 각각은 상기 반도체 기판의 액티브 영역들 중 하나에 대응함-, 상기 오목형 개구들이 천공된 후에 상기 절연층 및 상기 게이트 전극들의 측면 상에 측면 절연층들을 형성하는 단계, 상기 측면 절연층들 상에 도전층을 형성하는 단계 및 상기 도전층을 에치백하는 단계로 이루어진 반도체 기억 장치의 제조 방법 및 이것의 구성에 대하여 개시되어 있으므로 상기한 청구항은 인용예에 의하여 용이발명이 가능한 것으로 인정됩니다.

[참 부]

첨부1 한국공개특허공보제2000-28824호(2000.5.25공개) 끝.

출력 일자: 2003/6/20

2003.06.19

특허청

심사4국

반도체1심사담당관실

심사관 김종찬



<<안내>>

귀하께서는 특허법 제47조 제2항의 규정에 의거 특허출원서에 최초로 첨부된 명세서 또는 도면에 기재된 사항의 범위 이내에
서 명세서 등을 보정할 수 있음을 알려드립니다. 문의사항이 있으시면 ☎ 042-481-5722 로 문의하시기 바랍니다.

특허청 직원 모두는 깨끗한 특허행정의 구현을 위하여 최선을 다하고 있습니다. 만일 업무처리과정에서 직원의 부조리행
위가 있으면 신고하여 주시기 바랍니다.

▶ 홈페이지 (www.kipo.go.kr) 내 부조리신고센터

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl. ⁸ H01L 21/8242	(11) 공개번호 (43) 공개일자	특 2000-0028824 2000년 05월 25일
(21) 출원번호 (22) 출원일자	10-1999-0042723 1999년 10월 05일	
(30) 우선권주장 (71) 출원인	1998-282555 1998년 10월 05일 일본(JP) 닛본 덴기 가부시끼가이샤 가네코 히사시	
(72) 발명자	일본국 도쿄도 미나토구 시바 5조메 7방 1고 다카이시요시히로	
(74) 대리인	일본도쿄도미나토구시바5조메7방1고닛본덴기가부시끼가이샤내 장수길, 구영창	

심사청구 : 있음

(54) 분리 특성을 개선시킬 수 있는 반도체 기억 장치의 제조방법

요약

본 발명은 반도체 기억 장치를 제조하는 방법에 관한 것으로서, 필드 절연층(2', 2'')에 의해 둘러싸인 반도체 기관(1)의 비트 라인용의 제1 불순물 확산 영역들(8) 및 커패시터용의 제2 불순물 확산 영역들(8) 상에 형성된 절연층(9) 내에 복수개의 개구(OP)가 천공되고, 이 개구를 각각은 제1 불순물 확산 영역들 중 하나의 영역 및 제2 불순물 확산 영역들 중 적어도 2개의 영역에 대응한다.

도표도

도 30

색인어

반도체 기억 장치, 필드 절연층, 포토레지스트 패턴, 비트 라인, 콘택트홀

명세서

도면의 간단한 설명

도 1a, 1b, 1c, 2a, 2b, 2c, 3a, 3b, 3c, 4a, 4b, 4c, 5a, 5b, 5c, 6a, 6b, 6c, 7a, 7b, 7c, 8a, 8b, 8c, 9a, 9b, 9c, 10a, 10b, 10c, 11a, 11b, 11c, 12a, 12b, 12c 및 13은 종래의 DRAM 디바이스 제조 방법을 설명하기 위한 단면도들.

도 14는 도 1a, 1b, 1c의 필드 실리콘 산화물층의 평면도.

도 15는 도 3a, 3b, 3c의 포토레지스트 패턴의 평면도.

도 16은 도 6a, 6b, 6c의 포토레지스트 패턴의 평면도.

도 17a, 17b, 17c는 종래의 제조 방법에서의 문제점을 설명하기 위한 단면도들.

도 18a, 18b, 18c, 19a, 19b, 19c, 20a, 20b, 20c, 21a, 21b, 21c, 22a, 22b, 22c, 23a, 23b, 23c, 24a, 24b, 24c, 25a, 25b, 25c, 26a, 26b, 26c, 27a, 27b, 27c, 28a, 28b, 28c, 29a, 29b, 29c 및 30은 본 발명에 따른 DRAM 디바이스 제조 방법의 제1 실시예를 설명하기 위한 단면도들.

도 31은 도 23a, 23b, 23c의 포토레지스트 패턴의 평면도.

도 32a, 32b, 32c, 32d, 33a, 33b, 33c, 33d, 34a, 34b, 34c, 34d, 35a, 35b, 35c, 35d, 36a, 36b, 36c, 36d, 37a, 37b, 37c, 37d, 38a, 38b, 38c, 38d, 39a, 39b, 39c, 39d, 40a, 40b, 40c, 40d, 41a, 41b, 41c, 41d, 42a, 42b, 42c, 42d 및 43은 본 발명에 따른 DRAM 디바이스 제조 방법의 제2 실시예를 설명하기 위한 단면도들.

도 44는 도 32a, 32b, 32c, 32d의 필드 실리콘 산화물층의 평면도.

도 45는 도 34a, 34b, 34c, 34d의 포토레지스트 패턴의 평면도.

도 46은 도 37a, 37b, 37c, 37d의 포토레지스트 패턴의 평면도.

<도면의 주요 부분에 대한 부호의 설명>

1 : 반도체 기관

2, 2', 2'' : 필드 실리콘 산화물층

- 3 : 게이트 실리콘 산화물층
- 4 : 하부 게이트 전극층
- 5 : 상부 게이트 전극층
- 6 : 실리콘 질화물층
- 7, 10, 13 : 포토레지스트 패턴
- 8 : 불순물 확산 영역
- 9, 11, 14, 17, 22 : 절연층
- 12 : 다결정 실리콘층
- 15 : 비트 콘택트층
- 16 : 비트 라인층
- 18 : 커패시터 콘택트층
- 19 : 하부 커패시터 전극
- 20 : 커패시터 절연층
- 21 : 상부 커패시터 전극
- 22 : 알루미늄층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 기억 장치를 제조하는 방법에 관한 것으로, 특히 다이내믹 랜덤 액세스 메모리(DRAM)의 분리 특성의 개선에 관한 것이다.

근래에, DRAM 디바이스가 더욱 미세구조화됨에 따라서, 콘택트홀과 같은 개구들도 더욱 미세구조화되었다. 한편, 집적도를 증대하기 위하여, 필드 절연층을 형성하는 기술로서, LOCUS(local oxidation of silicon) 공정 대신에 STI(shallow trench isolation) 공정이 채택되었다.

종래의 DRAM 디바이스 제조 방법에서는, 반도체 기판의 필드 절연층에 의해 둘러싸인 비트 라인용의 제1 불순물 확산 영역을 및 커패시터용의 제2 불순물 확산 영역을 상에 형성된 절연층에 복수개의 개구들이 천공(perforate)되고, 그 개구들 각각은 상기 불순물 확산 영역들 중 하나에 대응한다. 이에 대해서는 뒤에서 자세히 설명하겠다.

상술한 종래의 방법에서는, 각각의 개구가 불순물 확산 영역들 중 하나에 대응하기 때문에, 필드 절연층의 측면들이 에칭될 수 있고, 이는 분리 특성을 열화시킬 것이다. 특히, 필드 절연층의 측면들이 에리하도록 STI 공정에 의해 필드 절연층이 형성되는 경우에는, 분리 특성이 현저히 열화될 것이다. 또한, 콘택트 구조물을, 즉 개구들 내에 매설되는 패드 전극들의 사이즈가 축소되기 때문에, 콘택트 저항이 증대된다.

발명이 이루고자 하는 기술적 과제

본 발명의 목적은 분리 특성을 개선시킬 수 있는 DRAM 디바이스를 제조하는 방법을 제공하는 데에 있다.

본 발명의 다른 목적은 DRAM 디바이스 내의 콘택트 구조물의 콘택트 저항을 감소시키는 데에 있다.

본 발명에 따르면, 반도체 기억 장치를 제조하는 방법에 있어서, 필드 절연층에 의해 둘러싸인 반도체 기판의 비트 라인용의 제1 불순물 확산 영역을 및 커패시터용의 제2 불순물 확산 영역을 상에 형성된 절연층에 복수개의 개구들이 천공되고, 그 개구들 각각은 상기 제1 불순물 확산 영역들 중 하나의 영역과 상기 제2 불순물 확산 영역들 중 적어도 2개의 영역에 대응한다.

따라서, 개구들을 형성하기 위한 포토리소그래피 공정이 용이하게 수행되고, 그에 따라 필드 절연층의 측면 에칭을 피할 수 있다. 또한, 개구들 내에 매설되는 패드 전극들의 사이즈가 증대될 수 있다.

첨부된 도면을 참조하여 종래 기술과 비교하여 아래에 설명한 내용으로부터 본 발명을 보다 명확히 이해할 수 있을 것이다.

발명의 구성 및 작용

본 발명의 바람직한 실시예들을 설명하기 전에, 도 1a, 1b, 1c, 2a, 2b, 2c, 3a, 3b, 3c, 4a, 4b, 4c, 5a, 5b, 5c, 6a, 6b, 6c, 7a, 7b, 7c, 8a, 8b, 8c, 9a, 9b, 9c, 10a, 10b, 10c, 11a, 11b, 11c, 12a, 12b, 12c, 13, 14, 15 및 16를 참조하여 종래의 DRAM 디바이스 제조 방법에 대하여 설명하겠다.

먼저, 도 1a, 1b, 1c를 참조하면, P형 단결정 반도체 기판(1) 상에 STI 공정에 의해 도 14에 도시된 것과 같은 필드 실리콘 산화물층(2)이 형성된다. STI 공정은 반도체 기판(1) 상에 실리콘 질화물 패턴을

형성하는 단계, 상기 실리콘 질화물 패턴(도시되지 않음)을 마스크로 이용하여 상기 실리콘 기판(1)을 에칭하는 단계, 화학 기상 성장(CVD) 공정에 의해 전체 표면 상에 실리콘 산화물층을 퇴적시키는 단계, 및 상기 실리콘 산화물층 및 상기 실리콘 질화물층에 대해 화학적 기계 연마(CMP) 공정을 수행하여 필드 실리콘 산화물층(2)을 얻는 단계를 포함한다.

도 1a, 1b, 1c는 각각 필드 실리콘 산화물층(2)의 평면도인 도 14의 라인 I-I, II-II, III-III를 따라서 절취한 단면도들이다. 필드 실리콘 산화물층(2)은 액티브 영역을 둘러싸는 필드 영역을 정의한다.

다음으로, 도 2a, 2b, 2c를 참조하면, 실리콘 기판(1) 상에 게이트 실리콘 산화물층(3)이 열적으로 성장된다. 그런 다음, CVD 공정 또는 스퍼터링 공정에 의해 다결정 실리콘으로 이루어진 약 100 nm 두께의 하부 게이트 전극층(4) 및 WSi 와 같은 실리콘 실리콘사이드로 이루어진 약 150 nm 두께의 상부 게이트 전극층(5)이 퇴적된다. 그런 다음, CVD 공정에 의해 상부 게이트 전극층(5) 상에 에칭 스톱퍼로서 이용되는 약 150 nm 두께의 실리콘 질화물층(6)이 퇴적된다.

다음으로, 도 3a, 3b, 3c를 참조하면, 포토리소그래피 공정에 의해 도 15에 도시된 것과 같은 포토레지스트 패턴(7)이 형성된다. 그런 다음, 포토레지스트 패턴(7)을 마스크로 이용하여 실리콘 질화물층(6)이 에칭된다. 그런 다음, 포토레지스트 패턴(7)을 마스크로 이용하여 상부 게이트 전극층(5) 및 하부 게이트 전극층(4)이 또한 에칭된다. 그런 다음, 포토레지스트 패턴(7)이 제거된다.

도 3a, 3b, 3c는 각각 포토레지스트 패턴(7)의 평면도인 도 15의 라인 I-I, II-II, III-III를 따라서 절취한 단면도들이다.

도 3a, 3b, 3c에서, 상부 게이트 전극층(5) 및 하부 게이트 전극층(4)은 포토레지스트 패턴(7)을 마스크로 이용하여 에칭되지만, 상부 게이트 전극층(5) 및 하부 게이트 전극층(4)은 실리콘 질화물층(6)을 마스크로 이용하여 에칭될 수도 있다. 이 경우에는, 실리콘 질화물층(6)이 에칭된 후에, 포토레지스트 패턴(7)이 제거된다.

다음으로, 도 4a, 4b, 4c를 참조하면, 실리콘 질화물층(6)을 마스크로 이용하여 실리콘 기판(1) 안으로 비소와 같은 N형 불순물이 주입되어 N형 불순물 확산 영역들(8)이 형성된다.

다음으로, 도 5a, 5b, 5c를 참조하면, CVD 공정에 의해 전체 표면 상에 실리콘 산화물 또는 BPSG(boron-included phospho-silicated glass)로 이루어진 절연층(9)이 형성된다.

다음으로, 도 6a, 6b, 6c를 참조하면, 포토리소그래피 공정에 의해 도 16에 도시된 것과 같은 포토레지스트 패턴(10)이 형성된다. 포토레지스트 패턴(10)은 하나의 패드 다결정 실리콘 전극에 각각 대응하는 복수개의 홀을 갖는다.

다음으로, 도 7a, 7b, 7c를 참조하면, 포토레지스트 패턴(10)을 마스크로 이용하여 건식 또는 습식 에칭 공정에 의해 절연층(9)이 에칭된다. 이 경우, 실리콘 질화물층(6)은 에칭 스톱퍼로서 이용된다. 그런 다음, 포토레지스트 패턴(10)이 제거된다.

다음으로, 도 8a, 8b, 8c를 참조하면, 전체 표면 상에 실리콘 산화물 또는 실리콘 질화물로 이루어진 절연층(11)이 퇴적된다.

다음으로, 도 9a, 9b, 9c를 참조하면, 절연층(11)이 에치백되고, 그 결과 절연층(11)은 절연층(9)의 측벽들에만 남게 된다.

다음으로, 도 10a, 10b, 10c를 참조하면, CVD 공정에 의해 전체 표면 상에 다결정 실리콘층(12)이 퇴적된다.

다음으로, 도 11a, 11b, 11c를 참조하면, 패드 다결정 전극들에 대응하는 포토레지스트 패턴(13)이 포토리소그래피 공정에 의해 형성된다.

다음으로, 도 12a, 12b, 12c를 참조하면, 포토레지스트 패턴(13)을 마스크로 이용하여 건식 또는 습식 에칭 공정에 의해 다결정 실리콘층(12)이 에칭된다. 그 결과, 다결정 실리콘층(12)은 패드 다결정 실리콘 전극들이 된다. 그런 다음, 포토레지스트 패턴(13)이 제거된다.

마지막으로, 도 12a에 대응하는 도 13를 참조하면, 전체 표면 상에 절연층(14)이 형성되고, 절연층(14) 내에 비트 콘택트층(15)이 매설된다. 또한, 절연층(14) 상에 비트 라인층(16)이 형성되어 비트 콘택트층(15)에 접속된다.

그런 다음, 전체 표면 상에 절연층(17)이 형성된 후에, 절연층(17) 내에 커패시턴스 콘택트층(18)이 매설된다.

그런 다음, 하부 커패시터 전극(19), 커패시터 절연층(20) 및 상부 커패시터 전극(21)이 형성된다.

그런 다음, 전체 표면 상에 절연층(22)이 형성되고, 절연층(22) 상에 알루미늄층(23)이 형성되며, DRAM 디바이스가 완성된다.

그러나, 상술한 종래의 제조 방법에서는, 포토레지스트 패턴(10)이 각각의 필드 패턴 또는 액티브 영역에 대하여 3개의 개구들(OP_1 , OP_2 , OP_3)(도 16 참조)을 갖는다. 이 경우, 개구들(OP_1 , OP_2 , OP_3) 각각의 폭(W) 및 길이(L)는 미세 구조를 얻기 위한 포토리소그래피 공정의 대응하는 최소 사이즈와 일치한다. 그러므로, 개구들(OP_1 , OP_2 , OP_3)의 마진이 매우 작다.

도 7b의 확대 도면들인 도 17a, 17b, 17c를 참조하여 종래의 제조 방법에서의 문제점에 대하여 설명한다. 즉, 도 17a에 도시된 바와 같이 개구(OP_1)가 최적 위치에 있으면, 필드 실리콘 산화물층(2)은 좀처럼 에칭되지 않는다. 반면, 도 17b에 도시된 바와 같이 개구(OP_1)가 최적의 위치에서 조금 벗어나면, 필드 실리콘 산화물층(2)의 한 측면도 에칭되며, 필드 실리콘 산화물층(2)의 분리 특성이 열화될 것이다.

또한, 도 17c에 도시된 바와 같이 개구(OP.)가 최적 사이즈보다 크면, 즉 폭(W)이 더 커지면, 필드 실리콘 산화물층(2)의 양 측면이 에칭되며, 필드 실리콘 산화물층(2)의 분리 특성이 열화될 것이다.

이하, 도 18a, 18b, 18c, 19a, 19b, 19c, 20a, 20b, 20c, 21a, 21b, 21c, 22a, 22b, 22c, 23a, 23b, 23c, 24a, 24b, 24c, 25a, 25b, 25c, 26a, 26b, 26c, 27a, 27b, 27c, 28a, 28b, 28c, 29a, 29b, 29c, 30 및 31을 참조하여 본 발명에 따른 DRAM 디바이스 제조 방법의 제1 실시예에 대하여 설명하겠다.

도 18a, 18b, 18c, 19a, 19b, 19c, 20a, 20b, 20c, 21a, 21b, 21c, 22a, 22b 및 22c에 도시된 단계들은 각각 종래의 제조 방법의 도 1a, 1b, 1c, 2a, 2b, 2c, 3a, 3b, 3c, 4a, 4b, 4c, 5a, 5b 및 5c에 도시된 것들과 동일하다.

다음으로, 도 23a, 23b, 23c를 참조하면, 포토리소그래피 공정에 의해 도 31에 도시된 것과 같은 포토레지스트 패턴(10')이 형성된다. 포토레지스트 패턴(10')은 하나의 필드 패턴에 각각 대응하는 복수개의 홀들을 갖는다.

다음으로, 도 24a, 24b, 24c를 참조하면, 도 7a, 7b, 7c에서와 마찬가지로, 포토레지스트 패턴(10')을 마스크로 이용하여 건식 또는 습식 에칭 공정에 의해 절연층(9)이 에칭된다. 이 경우, 실리콘 질화물층(6)은 에칭 스톱퍼로서 이용된다. 그런 다음, 포토레지스트 패턴(10')이 제거된다.

다음으로, 도 25a, 25b, 25c를 참조하면, 도 8a, 8b, 8c에서와 마찬가지로, 전체 표면 상에 실리콘 산화물 또는 실리콘 질화물로 이루어진 절연층(11)이 퇴적된다.

다음으로, 도 26a, 26b, 26c를 참조하면, 도 9a, 9b, 9c에서와 마찬가지로, 절연층(11)이 에치백되고, 그 결과 절연층(11)은 절연층(9)의 측벽들에만 남게 된다.

다음으로, 도 27a, 27b, 27c를 참조하면, 도 10a, 10b, 10c에서와 마찬가지로, CVD 공정에 의해 전체 표면 상에 다결정 실리콘층(12)이 퇴적된다.

다음으로, 도 28a, 28b, 28c를 참조하면, 도 11a, 11b, 11c에서와 마찬가지로, 패드 다결정 전극들에 대응하는 포토레지스트 패턴(13)이 포토리소그래피 공정에 의해 형성된다.

다음으로, 도 29a, 29b, 29c를 참조하면, 도 12a, 12b, 12c에서와 마찬가지로, 포토레지스트 패턴(13)을 마스크로 이용하여 건식 또는 습식 에칭 공정에 의해 다결정 실리콘층(12)이 에칭된다. 그 결과, 다결정 실리콘층(12)은 패드 다결정 실리콘 전극들이 된다. 그런 다음, 포토레지스트 패턴(13)이 제거된다.

마지막으로, 도 30을 참조하면, 도 13에서와 마찬가지로, 전체 표면 상에 절연층(14)이 형성되고, 절연층(14) 내에 비트 콘택트층(15)이 매설된다. 또한, 절연층(14) 상에 비트 라인층(16)이 형성되어 비트 콘택트층(15)에 접속된다.

그런 다음, 전체 표면 상에 절연층(17)이 형성된 후에, 절연층(17) 내에 커패시터 콘택트층(18)이 매설된다.

그런 다음, 하부 커패시터 전극(19), 커패시터 절연층(20) 및 상부 커패시터 전극(21)이 형성된다.

그런 다음, 전체 표면 상에 절연층(22)이 형성되고, 절연층(22) 상에 알루미늄층(23)이 형성되어, DRAM 디바이스가 완성된다.

상술한 제1 실시예에서는, 포토레지스트 패턴(10')이 각각의 필드 패턴, 즉 액티브 영역에 대하여 하나의 개구(OP.) (도 31 참조)를 갖는다. 즉, 도 31의 개구(OP.)는 도 16의 개구들(OP₁, OP₂, OP₃)보다 크고, 따라서 도 31의 개구(OP.)의 마진은 도 16의 개구들(OP₁, OP₂, OP₃)의 마진보다 클 수 있다. 그 결과, 개구(OP.)의 폭(W)은 개구들(OP₁, OP₂, OP₃)의 폭(W)보다 클 수 있으며, 이에 따라 포토리소그래피 공정이 용이해지고, 필드 실리콘 산화물층(2)의 측면 에칭을 피할 수 있으므로, 분리 특성의 열화를 억제할 수 있다. 또한, 개구(OP.)의 마진이 증대될 수 있기 때문에, 패드 다결정 실리콘 전극들의 사이즈를 증가시켜 패드 다결정 실리콘 전극들과 불순물 확산 영역들(8) 간의 콘택트 저항을 감소시킬 수 있다.

이하, 도 32a, 32b, 32c, 32d, 33a, 33b, 33c, 33d, 34a, 34b, 34c, 34d, 35a, 35b, 35c, 35d, 36a, 36b, 36c, 36d, 37a, 37b, 37c, 37d, 38a, 38b, 38c, 38d, 39a, 39b, 39c, 39d, 40a, 40b, 40c, 40d, 41a, 41b, 41c, 41d, 42a, 42b, 42c, 42d, 43, 44, 45 및 46을 참조하여 본 발명에 따른 DRAM 디바이스 제조 방법의 제2 실시예에 대하여 설명하겠다.

먼저, 도 32a, 32b, 32c, 32d를 참조하면, 도 1a, 1b, 1c에서와 마찬가지로, P형 단결정 반도체 기판(1) 상에 STI 공정에 의해 도 44에 도시된 것과 같은 필드 실리콘 산화물층(2')이 형성된다. 필드 실리콘 산화물층(2')은 불록형 액티브 영역들에 대응하는 복수개의 불록형 필드 패턴들을 갖는다.

도 32a, 32b, 32c, 32d는 각각 필드 실리콘 산화물층(2')의 평면도인 도 44의 라인 I-I, II-II, III-III, IV-IV를 따라서 절취한 단면도들이다.

다음으로, 도 33a, 33b, 33c, 33d를 참조하면, 도 2a, 2b, 2c에서와 마찬가지로, 실리콘 기판(1) 상에 게이트 실리콘 산화물층(3)이 열적으로 성장된다. 그런 다음, CVD 공정 또는 스퍼터링 공정에 의해 다결정 실리콘으로 이루어진 약 100 nm 두께의 하부 게이트 전극층(4) 및 WSi와 같은 실리콘 실리콘사이드로 이루어진 약 150 nm 두께의 상부 게이트 전극층(5)이 퇴적된다. 그런 다음, CVD 공정에 의해 상부 게이트 전극층(5) 상에 에칭 스톱퍼로서 이용되는 약 150 nm 두께의 실리콘 질화물층(6)이 퇴적된다.

다음으로, 도 34a, 34b, 34c, 34d를 참조하면, 도 3a, 3b, 3c에서와 마찬가지로, 포토리소그래피 공정에 의해 도 45에 도시된 것과 같은 포토레지스트 패턴(7)이 형성된다. 그런 다음, 포토레지스트 패턴(7)을 마스크로 이용하여 실리콘 질화물층(6)이 에칭된다. 그런 다음, 포토레지스트 패턴(7)을 마스크로 이용하여 상부 게이트 전극층(5) 및 하부 게이트 전극층(4)이 또한 에칭된다. 그런 다음, 포토레지스트 패

턴(7)이 제거된다.

도 34a, 34b, 34c, 34d는 각각 포토레지스트 패턴(7)의 평면도인 도 45의 라인 I-I, II-II, III-III, IV를 따라서 절취한 단면도들이다.

도 34a, 34b, 34c, 34d에서, 상부 게이트 전극층(5) 및 하부 게이트 전극층(4)은 포토레지스트 패턴(7)을 마스크로 이용하여 에칭되지만, 상부 게이트 전극층(5) 및 하부 게이트 전극층(4)은 실리콘 질화물층(6)을 마스크로 이용하여 에칭될 수도 있다. 이 경우에는, 실리콘 질화물층(6)이 에칭된 후에, 포토레지스트 패턴(7)이 제거된다.

다음으로, 도 35a, 35b, 35c, 35d를 참조하면, 도 4a, 4b, 4c에서와 마찬가지로, 실리콘 질화물층(6)을 마스크로 이용하여 실리콘 기판(1) 안으로 비소와 같은 N형 불순물이 주입되어 N형 불순물 확산 영역들(8)이 형성된다.

다음으로, 도 36a, 36b, 36c, 36d를 참조하면, 도 5a, 5b, 5c에서와 마찬가지로, CVD 공정에 의해 전체 표면 상에 실리콘 산화물 또는 PSG로 이루어진 절연층(9)이 형성된다.

다음으로, 도 37a, 37b, 37c, 37d를 참조하면, 도 23a, 23b, 23c에서와 마찬가지로, 포토리소그래피 공정에 의해 도 46에 도시된 것과 같은 포토레지스트 패턴(10')이 형성된다. 포토레지스트 패턴(10')은 하나의 필드 패턴, 즉 액티브 패턴에 각각 대응하는 복수개의 볼록형 홀을 갖는다.

다음으로, 도 38a, 38b, 38c, 38d를 참조하면, 도 7a, 7b, 7c에서와 마찬가지로, 포토레지스트 패턴(10')을 마스크로 이용하여 건식 또는 습식 에칭 공정에 의해 절연층(9)이 에칭된다. 이 경우, 실리콘 질화물층(6)은 에칭 스톱퍼로서 이용된다. 그런 다음, 포토레지스트 패턴(10')이 제거된다.

다음으로, 도 39a, 39b, 39c, 39d를 참조하면, 도 8a, 8b, 8c에서와 마찬가지로, 전체 표면 상에 실리콘 산화물 또는 실리콘 질화물로 이루어진 절연층(11)이 퇴적된다.

다음으로, 도 40a, 40b, 40c, 40d를 참조하면, 도 9a, 9b, 9c에서와 마찬가지로, 절연층(11)이 에치백되고, 그 결과 절연층(11)은 절연층(9)의 측벽들에만 남게 된다.

다음으로, 도 41a, 41b, 41c, 41d를 참조하면, 도 10a, 10b, 10c에서와 마찬가지로, CVD 공정에 의해 전체 표면 상에 다결정 실리콘층(12)이 퇴적된다.

다음으로, 도 42a, 42b, 42c, 42d를 참조하면, 다결정 실리콘층(12)이 에치백된다. 그 결과, 다결정 실리콘층(12)은 패드 다결정 실리콘 전극들이 된다.

마지막으로, 도 43을 참조하면, 도 13에서와 마찬가지로, 전체 표면 상에 절연층(14)이 형성되고, 절연층(14) 내에 비트 콘택트층(15)이 매설된다. 이 경우, 비트 콘택트층(15)은 패드 다결정 실리콘층(12)의 볼록부에 접속된다. 또한, 절연층(14) 상에 비트 라인층(16)이 형성되며 비트 콘택트층(15)에 접속된다.

그런 다음, 전체 표면 상에 절연층(17)이 형성된 후에, 절연층(17) 내에 커패시터 콘택트층(18)이 매설된다.

그런 다음, 하부 커패시터 전극(19), 커패시터 절연층(20) 및 상부 커패시터 전극(21)이 형성된다.

그런 다음, 전체 표면 상에 절연층(22)이 형성되고, 절연층(22) 상에 알루미늄층(23)이 형성되며, DRAM 디바이스가 완성된다.

상술한 제2 실시예에서도, 포토레지스트 패턴(10')이 각각의 필드 패턴, 즉 액티브 영역에 대하여 하나의 개구(OP)(도 46 참조)를 갖는다. 그러므로, 포토리소그래피 공정이 용이하게 수행될 수 있고, 필드 실리콘 산화물층(2')의 측면 에칭을 피할 수 있으므로, 분리 특성의 열화를 억제할 수 있다. 또한, 개구(OP)의 마진이 증대될 수 있기 때문에, 패드 다결정 실리콘 전극들의 사이즈를 증가시켜 패드 다결정 실리콘 전극들과 불순물 확산 영역들(8) 간의 콘택트 저항을 감소시킬 수 있다.

게다가, 제2 실시예에서는, 제1 실시예의 도 29a, 29b, 29c, 29d, 30a, 30b, 30c, 30d에 도시된 것과 같은 포토리소그래피 및 에칭 단계 대신에 도 42a, 42b, 42c, 42d에 도시된 것과 같은 백에칭 단계가 제공되기 때문에, 제조 단계들이 더욱 간단해져서, 제조 비용이 감소할 것이다.

발명의 효과

상술한 바와 같이, 본 발명에 따르면, 콘택트홀을 형성하기 위하여 포토레지스트층에 하나의 필드 패턴(즉, 액티브 영역)에 대응하는 하나의 개구가 천공되기 때문에, 포토리소그래피 공정이 용이하게 수행될 수 있으며, 따라서 필드 절연층의 분리 특성의 열화를 억제할 수 있다. 또한, 패드 전극들의 사이즈를 증대시킬 수 있기 때문에, 콘택트 저항을 감소시킬 수 있다. 더욱이, 포토리소그래피 및 에칭 단계의 수가 감소하기 때문에, 제조 비용을 감소시킬 수 있다.

(57) 청구의 범위

청구항 1. 반도체 기억 장치를 제조하는 방법에 있어서,

필드 절연층(2', 2'')에 의해 둘러싸인 반도체 기판(1)의 비트 라인용의 제1 불순물 확산 영역들(8) 및 커패시터용의 제2 불순물 확산 영역들(8) 상에 형성된 절연층(9)에 복수개의 개구들(OP)이 천공되고,

상기 개구들 각각은 상기 제1 불순물 확산 영역들 중 하나의 영역 및 상기 제2 불순물 확산 영역들 중 적어도 2개의 영역에 대응하는

것을 특징으로 하는 반도체 기억 장치의 제조 방법.

청구항 2. 반도체 기억 장치를 제조하는 방법에 있어서,
반도체 기판(1) 상에 복수개의 액티브 영역들을 한정하는 필드 절연층(2', 2'')을 형성하는 단계;
상기 필드 절연층 및 상기 반도체 기판의 액티브 영역을 상에 게이트 전극들(4, 5)을 형성하는 단계;
상기 게이트 전극들 상에 절연층(9)을 형성하는 단계;
상기 절연층 내에 복수개의 개구(OP)를 천공(perforate)하는 단계 -상기 개구들 각각은 상기 액티브 영역들 중 하나에 대응함-;
상기 개구들이 천공된 후에 상기 절연층 및 상기 게이트 전극들의 측벽 상에 측벽 절연층들(11)을 형성하는 단계; 및
상기 측벽 절연층들이 형성된 후에 상기 게이트 전극들 사이에 제1 도전층들(12)을 매설하는 단계를 포함하는 것을 특징으로 하는 반도체 기억 장치의 제조 방법.

청구항 3. 제2항에 있어서, 상기 도전층 매설 단계는,
상기 측벽 절연층들 상에 제2 도전층(12)을 형성하는 단계;
상기 반도체 기판 내의 하나의 불순물 확산 영역(8)에 각각 대응하는 패턴들을 갖는 포토레지스트 패턴층(13)을 형성하는 단계; 및
상기 포토레지스트 패턴층을 마스크로 이용하여 상기 제2 도전층을 에칭하여 상기 제1 도전층들을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 기억 장치의 제조 방법.

청구항 4. 제3항에 있어서, 상기 개구들 각각은 직사각형인 것을 특징으로 하는 반도체 기억 장치의 제조 방법.

청구항 5. 제2항에 있어서, 상기 도전층 매설 단계는,
상기 측벽 절연층들 상에 제2 도전층(12)을 형성하는 단계; 및
상기 제2 도전층을 에치백(etch back)하여 상기 제1 도전층들을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 기억 장치의 제조 방법.

청구항 6. 제5항에 있어서, 상기 개구들 각각은 오목형인 것을 특징으로 하는 반도체 기억 장치의 제조 방법.

청구항 7. 제6항에 있어서, 상기 개구들 각각의 오목부는 상기 반도체 기판 내의 비트 라인용의 하나의 불순물 확산 영역(8)에 대응하는 것을 특징으로 하는 반도체 기억 장치의 제조 방법.

청구항 8. 제2항에 있어서, 상기 필드 절연층은 STI(shallow trench isolation) 공정에 의해 형성되는 것을 특징으로 하는 반도체 기억 장치의 제조 방법.

청구항 9. 반도체 기억 장치를 제조하는 방법에 있어서,
제1 도전형의 반도체 기판(1) 상에 평면도로 제1 방향을 따라 긴 측면을 갖는 직사각형 액티브 영역들을 한정하는 필드 절연층(2')을 형성하는 단계;
상기 필드 절연층이 형성된 후에 상기 반도체 기판 상에 게이트 절연층(3)을 형성하는 단계;
상기 필드 절연층 및 상기 게이트 절연층 상에 상기 제1 방향과 직각을 이루는 제2 방향을 따라 게이트 전극들(4, 5)을 형성하는 단계 -상기 게이트 전극들 중 2개는 상기 반도체 기판의 액티브 영역들 중 하나를 가로지름-;
상기 제1 도전형과 상반되는 제2 도전형의 불순물 이온들을 상기 게이트 전극들과 셀프 얼라인(self-alignment)되게 주입하여 상기 반도체 기판의 액티브 영역들 내에 불순물 확산 영역들(8)을 형성하는 단계;
상기 불순물 확산 영역들 상에 절연층(9)을 형성하는 단계;
상기 절연층 내에 복수개의 직사각형 개구(OP)를 천공하는 단계 -상기 직사각형 개구들 각각은 상기 반도체 기판의 액티브 영역들 중 하나에 대응함-;
상기 직사각형 개구들이 천공된 후에 상기 절연층 및 상기 게이트 전극들의 측벽 상에 측벽 절연층들(11)을 형성하는 단계;
상기 측벽 절연층들 상에 도전층(12)을 형성하는 단계;
상기 불순물 확산 영역들 중 하나에 각각 대응하는 패턴들을 갖는 포토레지스트 패턴층(13)을 형성하는 단계; 및
상기 포토레지스트 패턴층을 마스크로 이용하여 상기 도전층을 에칭하는 단계를 포함하는 것을 특징으로 하는 반도체 기억 장치의 제조 방법.

청구항 10. 제9항에 있어서, 상기 필드 절연층은 STI 공정을 형성되는 것을 특징으로 하는 반도체 기억 장치의 제조 방법.

청구항 11. 반도체 기억 장치를 제조하는 방법에 있어서,

제1 도전형의 반도체 기판(1) 상에 평면도로 제1 방향을 따라 긴 측면을 갖는 오목형 액티브 영역들을 한정하는 필드 절연층(2')을 형성하는 단계;

상기 필드 절연층이 형성된 후에 상기 반도체 기판 상에 게이트 절연층(3)을 형성하는 단계;

상기 필드 절연층 및 상기 게이트 절연층 상에 상기 제1 방향과 직각을 이루는 제2 방향을 따라 게이트 전극들(4, 5)을 형성하는 단계 -상기 게이트 전극들 중 2개는 상기 반도체 기판의 액티브 영역들 중 하나를 가로지름-;

상기 제1 도전형과 상반되는 제2 도전형의 불순물 이온들을 상기 게이트 전극들과 셀프 얼라인되게 주입하여 상기 반도체 기판의 액티브 영역들 내에 불순물 확산 영역들(8)을 형성하는 단계;

상기 불순물 확산 영역들 상에 절연층(9)을 형성하는 단계;

상기 절연층 내에 복수개의 오목형 개구(OP)를 천공하는 단계 -상기 오목형 개구들 각각은 상기 반도체 기판의 액티브 영역들 중 하나에 대응함-;

상기 오목형 개구들이 천공된 후에 상기 절연층 및 상기 게이트 전극들의 측면 상에 측면 절연층들(11)을 형성하는 단계;

상기 측면 절연층들 상에 도전층(12)을 형성하는 단계; 및

상기 도전층을 에치백하는 단계

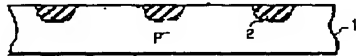
를 포함하는 것을 특징으로 하는 반도체 기억 장치의 제조 방법.

청구항 12. 제1항에 있어서, 상기 필드 절연층은 STI 공정을 이용하여 형성되는 것을 특징으로 하는 반도체 기억 장치의 제조 방법.

도면

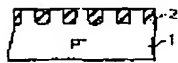
도면1a

(제1 단계)



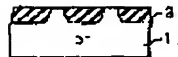
도면1b

(제2 단계)



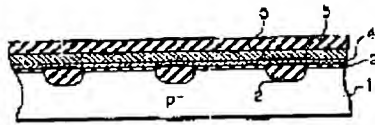
도면1c

(제3 단계)



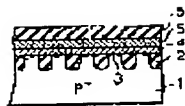
도 2a

(24) (2)



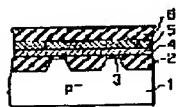
도 2b

(24) (2)



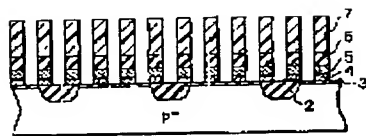
도 2c

(24) (2)



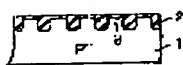
도 3a

(24) (2)



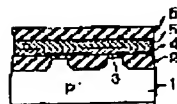
도 3b

(24) (2)



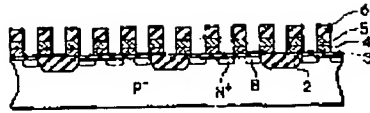
도 3c

(24) (2)



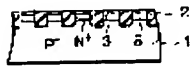
도면4a

(도면 4a)



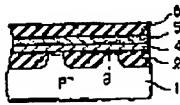
도면4b

(도면 4b)



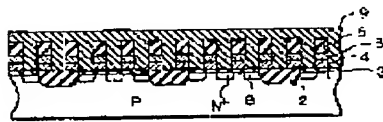
도면4c

(도면 4c)



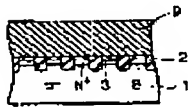
도면5a

(도면 5a)



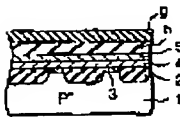
도면5b

(도면 5b)



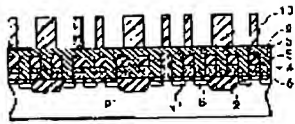
도면5c

(도면 5c)



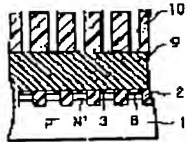
도 68a

제 1 실시예



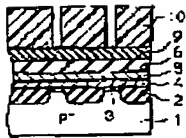
도 68b

제 2 실시예



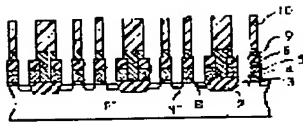
도 68c

제 3 실시예



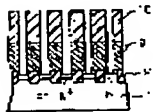
도 68d

제 4 실시예



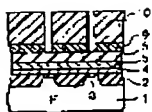
도 68e

제 5 실시예



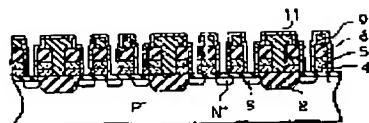
도면7a

(제1 실시예)



도면8a

(제2 실시예)



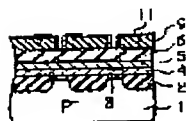
도면8b

(제3 실시예)



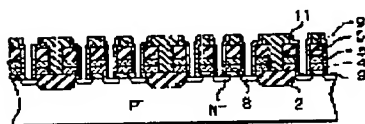
도면8c

(제4 실시예)



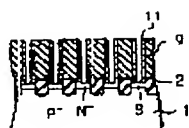
도면8d

(제5 실시예)



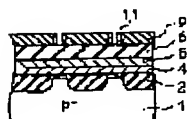
도 9b

(본 발명)



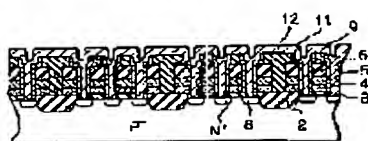
도 9c

(본 발명)



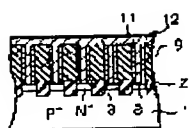
도 10a

(본 발명)



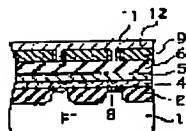
도 10b

(본 발명)



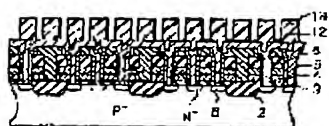
도 10c

(본 발명)



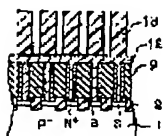
도면 11a

(제 1 실시예)



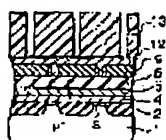
도면 11b

(제 2 실시예)



도면 11c

(제 3 실시예)



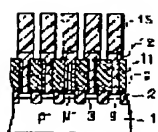
도면 12a

(제 4 실시예)



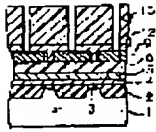
도면 12b

(제 5 실시예)



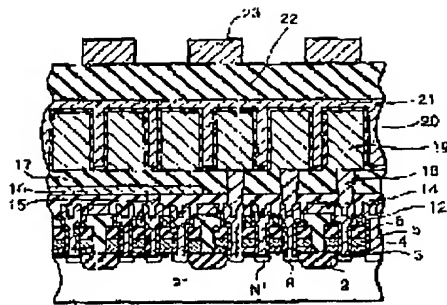
도면12

(도면 12)



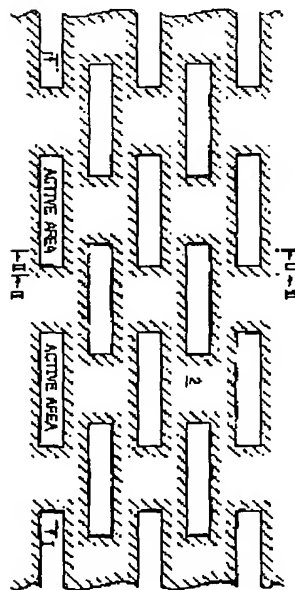
도면13

(도면 13)



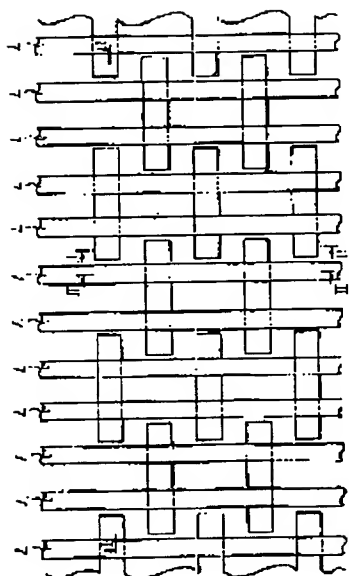
도면14

(도면 14)



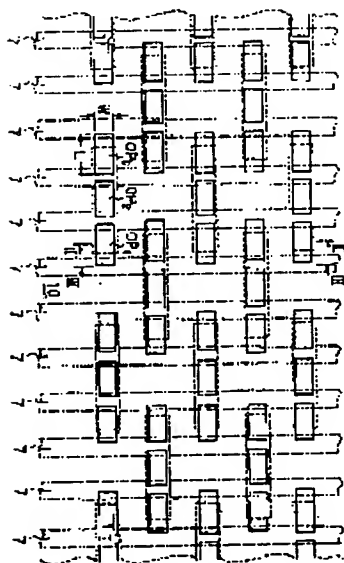
도면15

(24 개)



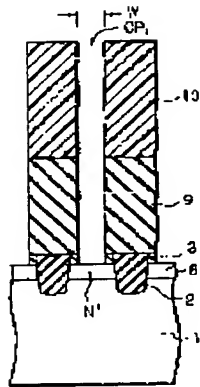
도면16

(24 개)



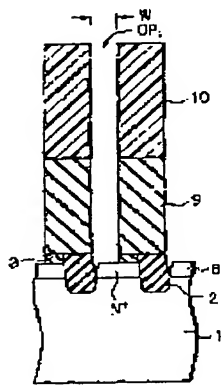
도 17a

(제1 실시예)



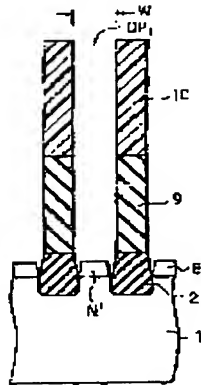
도 17b

(제2 실시예)

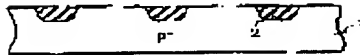


도면17

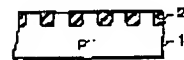
10.4 10.4



도면18a



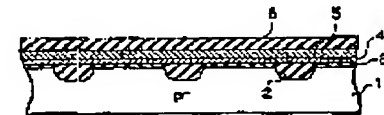
도면18b



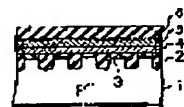
도면18c



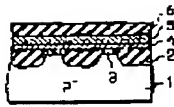
도면19a



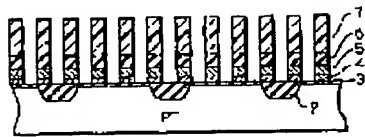
도면19b



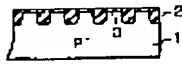
도 19a



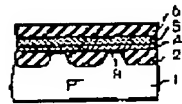
도 19b



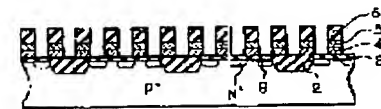
도 20a



도 20b



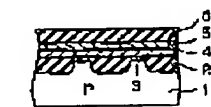
도 21a



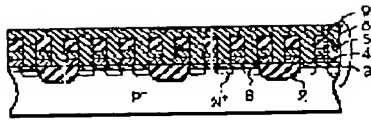
도 21b



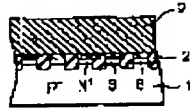
도 21c



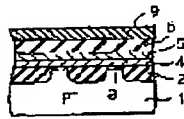
도 22a



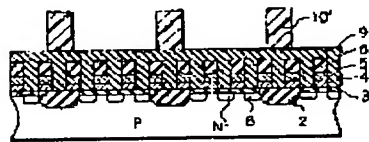
도 22b



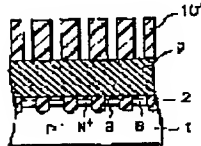
도 22c



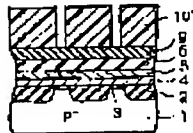
도 23a



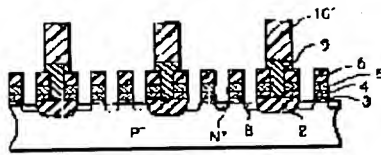
도 23b



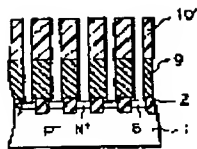
도 23c



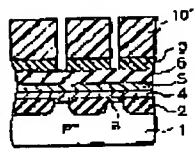
도 24a



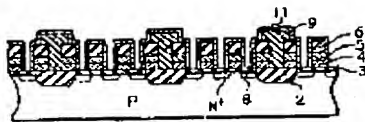
도 24b



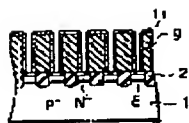
도 24c



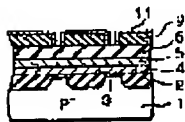
도 25a



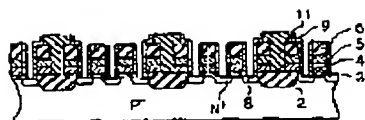
도 25b



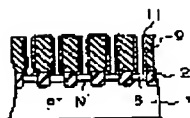
도 25c



5/20/88



도 206



도면 286

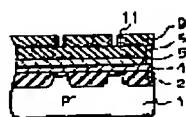
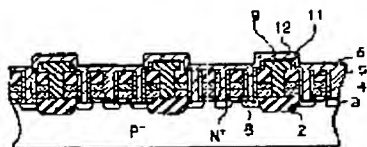
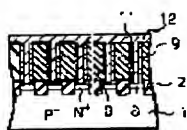


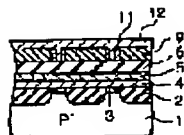
도표 27a



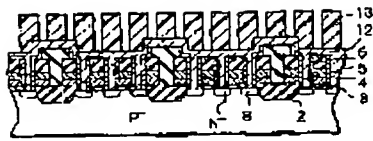
도 27b



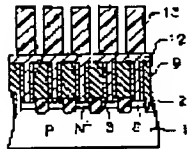
도면270



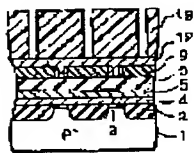
도 28a



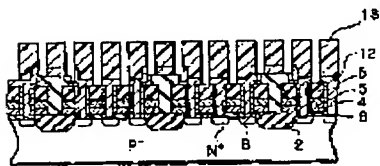
도 28b



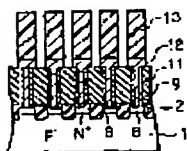
도 28c



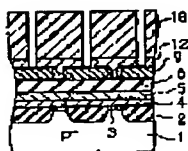
도 28d



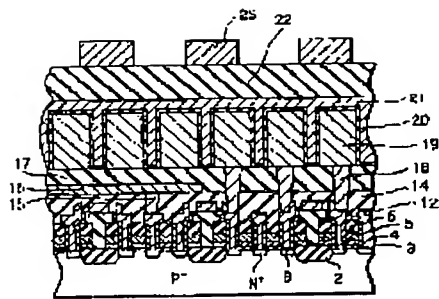
도 28e



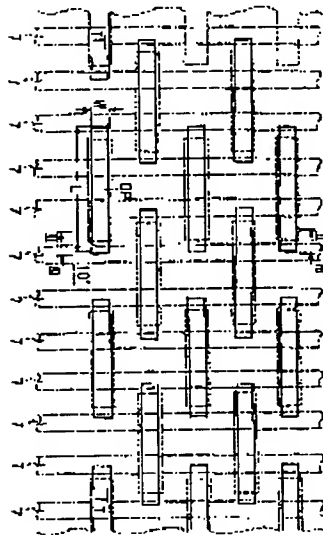
도 28f



도 30



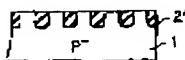
도 31



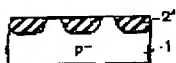
도 32a



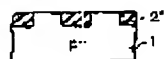
도 32b



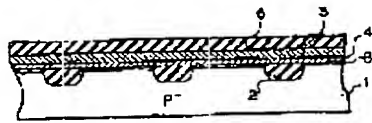
도 32c



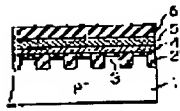
도 32d



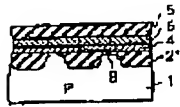
도 33a



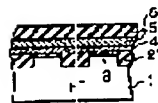
도 33b



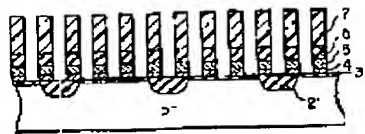
도 33c



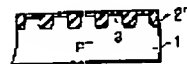
도 33d



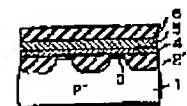
도 34a



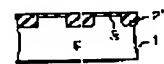
도 34b



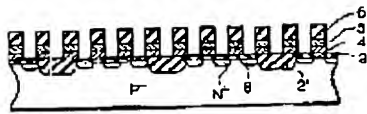
도 34c



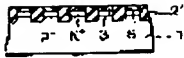
도 34d



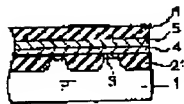
도 35a



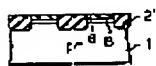
도 35b



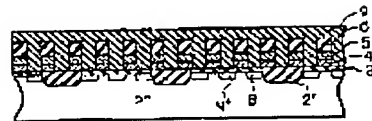
도 35c



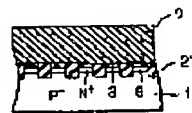
도 35d



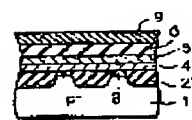
도 36a



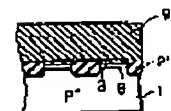
도 36b



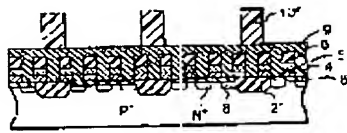
도 36c



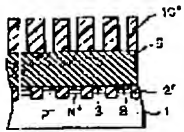
도 36d



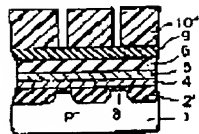
도 37a



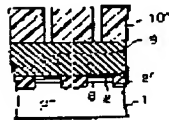
도 37b



도 37c



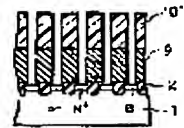
도 37d



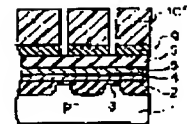
도 38a



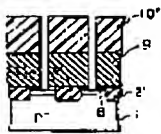
도 38b



도 38c



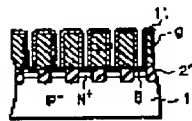
도 38d



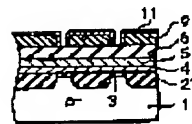
도 38a



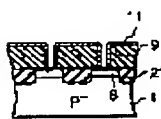
도 38b



도 38c



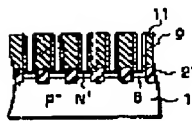
도 38d



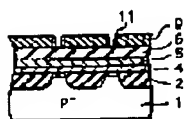
도 40a



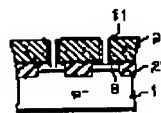
도 40b



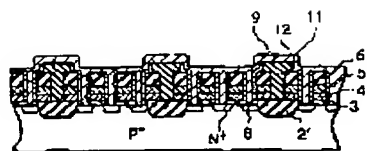
도 40a



도 40d



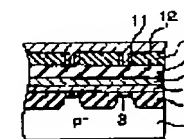
도 41a



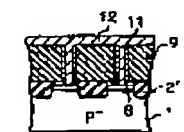
도 41b



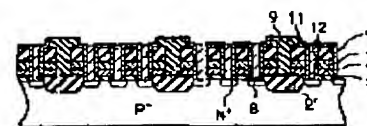
도 41c



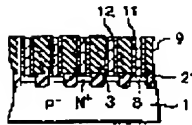
도 41d



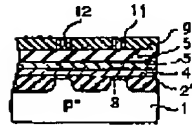
도 42a



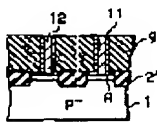
도 42a



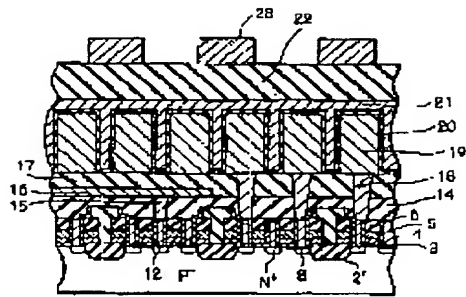
도 42b



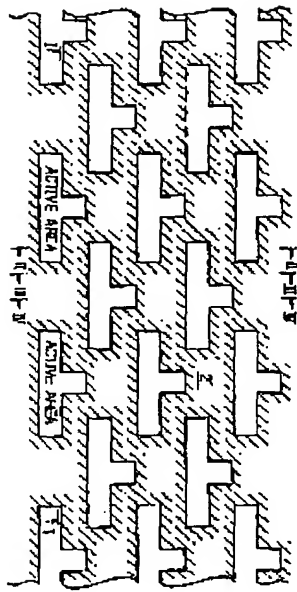
도 42c



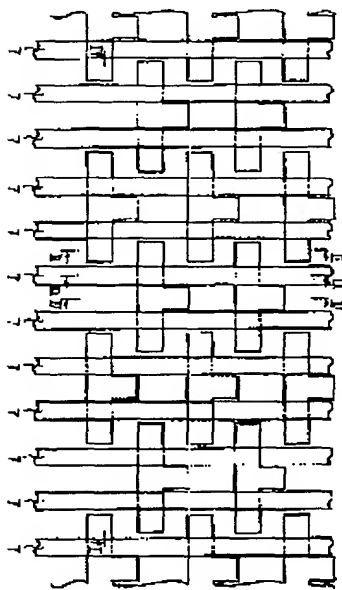
도 43



도면 44



도면 45



도 B48

